

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takeshi MATSUNAGA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE HAVING CAPACITOR FORMED IN MULTILAYER WIRING
STRUCTURE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-218399	July 26, 2002

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

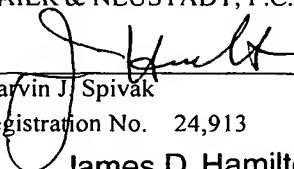
were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

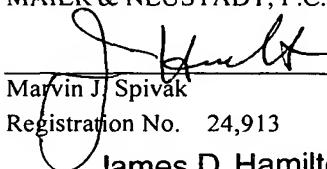
(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913



James D. Hamilton
Registration No. 28,421



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 7月26日

出願番号

Application Number: 特願2002-218399

[ST.10/C]:

[JP2002-218399]

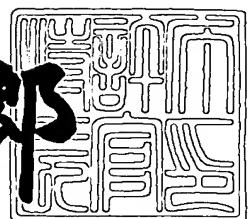
出願人

Applicant(s): 株式会社東芝

2003年 3月24日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019017

【書類名】 特許願

【整理番号】 A000201482

【提出日】 平成14年 7月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 多層配線層内に形成されたキャパシタを有する半導体装置

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 松永 健

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 宮本 浩二

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 中島 雄一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 多層配線層内に形成されたキャパシタを有する半導体装置

【特許請求の範囲】

【請求項1】

基板上に形成された多層配線層と、
前記多層配線層中の所定の配線層内に配置され下部電極、誘電膜及び上部電極
を有したキャパシタと、

前記所定の配線層内に形成され前記キャパシタの少なくとも上部電極の上面に
接続された第1のビアと、

前記所定の配線層の上に積層された上部配線層内に形成され前記第1のビア上
部に形成された第2のビアとを具備することを特徴とする多層配線内に形成され
たキャパシタを有する半導体装置。

【請求項2】

前記第1のビアは第2のビアより太く形成されていることを特徴とする請求項
1に記載の多層配線内に形成されたキャパシタを有する半導体装置。

【請求項3】

前記所定の配線層は、前記下部電極上に形成された第3のビアと、前記第3の
ビアに接続されて前記所定の配線層表面に埋め込み形成された配線とを有するこ
とを特徴とする請求項1または2に記載の多層配線層内に形成されたキャパシタ
を有する半導体装置。

【請求項4】

前記配線は銅配線であり、前記所定の配線層の表面には前記銅配線を形成する
銅の拡散を防止するための拡散ストッパ膜が形成されていることを特徴とする請
求項3に記載の多層配線層内に形成されたキャパシタを有する半導体装置。

【請求項5】

前記上部配線層は、前記第2のビアの上部に接続されて前記上部配線層表面に
埋め込み形成された配線を有することを特徴とする請求項1または2に記載の多
層配線層内に形成されたキャパシタを有する半導体装置。

【請求項6】

前記所定の配線層内には前記キャパシタの下部電極の上方に形成された第3のビアが設けられ、

前記上部配線層内には前記第3のビア上部に接続された状態で形成され前記第3のビアより細い第4のビアが設けられ、

前記第2、第4のビアが前記上部配線層の表面に埋め込み形成された第1、第2の配線と接続されることを特徴とする請求項1または2に記載の多層配線層内に形成されたキャパシタを有する半導体装置。

【請求項7】

前記キャパシタの下部電極は前記キャパシタが形成された所定の配線層の下に形成された下層配線層の表面に埋め込み形成された配線と接続されたことを特徴とする請求項1または2に記載の多層配線層内に形成されたキャパシタを有する半導体装置。

【請求項8】

半導体基板の第1の領域に形成された少なくとも一つの不純物拡散層と、

前記半導体基板上に積層され、前記不純物拡散層に接続されたコンタクトおよび前記コンタクト上に接続された状態で埋め込み形成された第1の配線とを有する第1の配線層を含む複数の配線層と、

前記半導体基板の前記第1の領域とは異なる第2の領域上に形成された前記複数の配線層中の所定の配線層中に形成され、下部電極、誘電膜、上部電極の積層構造を有するキャパシタと、

前記所定の配線層中の少なくとも前記上部電極上に形成された第1のビアと、

前記所定の配線層の上に積層された層間絶縁膜と、この層間絶縁膜中に形成され前記第1のビアに接続されかつ前記第1のビアより細く形成された第2のビアと前記第2のビアに接続され前記層間絶縁膜の表面部に埋め込み形成された第2の配線とを有する上部配線層と、

を具備することを特徴とする多層配線層内に形成されたキャパシタを有する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置、特に多層配線層内に形成されたキャパシタを有する半導体装置に関する。

【0002】

【従来の技術】

多層配線構造を有する半導体装置が種々用いられている。近年、このような半導体装置において多層配線構造に用いられる配線としてはアルミニウム (A1) や銅 (Cu) を使った配線を用いることが知られている。これらは、露光、エッチング等の難易の問題からその配線の形成方法はそれぞれ異なる。特に、銅を配線に用いる場合は、アルミニウムより低抵抗であること、エレクトロマイグレーションに強くなる等のメリットがある。一方で銅を配線に用いる場合のデメリットとしては銅が珪素 (Si) 及び酸化珪素 (SiO₂) 中に拡散する速度が極めて大きいこと、CVD法による成膜の見通しが暗いこと、ドライエッチングが不可能である等が知られている。

【0003】

そこで、銅を配線に用いる場合のメリットを活かし、デメリットを効果的に排除する加工プロセスとしてダマシン法或いはデュアルダマシン法による配線の加工プロセスがある。特に、デュアルダマシン法を用いると、一つの配線層を構成する絶縁膜中にビアホールとこれに接続される配線溝部を順次エッチングにより形成しておき、その後で一度にビアホールと配線溝部に銅を埋め込むことができる。このデュアルダマシン法を用いると加工プロセス数が削減され、製造のコストダウンも可能である。

【0004】

一方、アナログ回路等で用いるキャパシタも容量精度向上のためにポリシリコンキャパシタの代わりに、金属膜、誘電膜、及び金属膜からなるいわゆるMIMキャパシタが使用されるようになってきている。従来のこの種の半導体装置を形成する工程の一例を次に説明する。

【0005】

この種の半導体装置は半導体基板上に形成された例えばMOSトランジスタを

含む多層配線構造を有し、この多層配線構造の中の所定の配線層中に形成されたMIMキャパシタを有する。このような構造を有する半導体装置を製造する際、まず、半導体基板中に形成された素子分離絶縁膜の間の半導体基板上にMOSトランジスタのゲート絶縁膜およびゲート電極を露光、エッチングにより順次形成する。次に、ゲート絶縁膜およびゲート電極の両側の半導体基板中に、不純物イオン打込み法によりソース／ドレイン領域を形成する。その後、ゲート絶縁膜およびゲート電極を含む半導体基板全体をCVD法により例えばSiO₂の第1の層間絶縁膜で覆い、CMP法を用いてこの第1の層間絶縁膜表面を平坦化する。

【0006】

その後、ソース／ドレイン領域上方の第1の層間絶縁膜をエッチングしてコンタクトホールを形成し、ソース／ドレイン領域上面と接触するコンタクトを形成する。さらに、第1の層間絶縁膜上に第2の層間絶縁膜を堆積し、この第2の層間絶縁膜中に上記コンタクトと結線するための第1の配線溝をエッチングにより形成し、そこに銅を埋め込み、CMP法により平坦化を行って第1の銅配線を形成する。同様にして第1の配線が形成された第1の層間絶縁膜上に第1の銅拡散ストップ層を堆積する。

【0007】

次に、前記MOSトランジスタを形成した領域とは別の領域において、例えば前記第1の銅拡散ストップ層上に、MIMキャパシタとして下部金属膜（下部電極）、誘電膜、上部金属膜（上部電極）及びエッチングストップ材を順次堆積する。その後、上部電極を形成するために前記ストップ材及び上部金属膜をエッチングし、更に、下部電極を形成するために誘電膜及び下部金属膜をエッチングする。次にこれらの下部電極、誘電膜、上部電極、エッチングストップ材全体を覆って第3の層間絶縁膜を形成し、その後、この第3の層間絶縁膜中に上部電極に接続するための配線溝を形成するとともに、下部電極に至るビアホールとそれに続く配線溝を形成する。このとき、前記MOSトランジスタが形成された領域の上に形成された第3の層間絶縁膜中にも必要に応じてビアホール及びこれに接続される配線溝が形成され、これらのビアホールおよび配線溝に一度に銅が堆積される。

【0008】

その後、第3の層間絶縁膜上に必要に応じて同様の構成を有する第4、第5の配線層が形成される。

【0009】

以上の工程により、キャパシタと銅配線とを同一配線層内に形成した多層配線層を有する半導体装置が完成される。

【0010】

【発明が解決しようとする課題】

以上のようにして形成される従来の半導体装置の製造プロセスにおいて、MIMキャパシタの上部電極上に銅配線を形成する際の配線溝のエッチングにより、この上部電極の一部がむき出しになったり、更に深くエッチングされて下部電極の一部まで露出されてしまうことがあった。この結果、銅の配線層と上部電極、下部電極とが接続されてしまうことがあった。更に、上部電極または下部電極が露出しないまでもそれらの側面に近接して配線溝がエッチング形成された場合は、この配線溝に形成された銅配線がこれらの電極にストレスを与え、クラックが生じることもあった。これらの結果、上部電極と下部電極とは銅配線を介してショートして漏れ電流が発生し、あるいは電極のクラックにより接続不良が生じてMIMキャパシタとしての機能が失われることがあった。

【0011】

そこでこの発明の目的は、例えば銅配線等の埋め込み配線を形成した多層配線層の中にキャパシタを形成した配線層を含み、前記配線の形成の際にキャパシタの機能を損なうことのない多層配線層内に形成されたキャパシタを有する半導体装置を提供することにある。

【0012】

【課題を解決するための手段】

上記目的を達成するため、この発明の一実施形態の多層配線層内に形成されたキャパシタを有する半導体装置は、基板上に形成された多層配線層と、前記多層配線層中の所定の配線層内に配置され下部電極、誘電膜及び上部電極を有したキャパシタと、前記所定の配線層内に形成され前記キャパシタの少なくとも上部電

極の上面に接続された第1のビアと、前記所定の配線層の上に積層された上部配線層内に形成され前記第1のビア上部に形成された第2のビアとを具備することを特徴としている。

【0013】

また、この発明の他の実施形態の多層配線層内に形成されたキャパシタを有する半導体装置は、半導体基板の第1の領域に形成された少なくとも一つの不純物拡散層と、前記半導体基板上に積層され前記不純物拡散層に接続されたコンタクトおよび前記コンタクト上に接続された状態で埋め込み形成された第1の配線とを有する第1の配線層を含む複数の配線層と、前記半導体基板の前記第1の領域とは異なる第2の領域上に形成された前記複数の配線層中の所定の配線層中に形成され下部電極、誘電膜、上部電極の積層構造を有するキャパシタと、前記所定の配線層中の少なくとも前記上部電極上に形成された第1のビアと、前記所定の配線層の上に積層され前記第1のビアに接続されかつ前記第1のビアより細く形成された第2のビアを有する上部配線層と、前記第2のビアに接続され前記上部配線層の表面部に埋め込み形成された第2の配線と、を具備することを特徴としている。

【0014】

上記のように構成されたこの発明によれば、キャパシタの少なくとも上部電極上面に第1のビアを形成し、第1のビア上部に接続されるように前記キャパシタが形成された配線層の上層に形成された上部配線層中に第1のビアより細い第2のビアを介して埋め込み形成された例えば銅配線を配置することで、埋め込み配線の形成時にキャパシタの性能を損なうおそれがなく、前記上部電極と銅配線との間に良好な接続を行うことが可能となる。

【0015】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。なお、以下に説明する実施形態の配線は銅配線を用いるが、銅以外にも配線溝を層間絶縁膜に形成し、ここに導電層を埋め込み形成するいかなる配線にもこの発明を適用できる。

【0016】

図1の断面図は、所定の配線層中に形成されたMIMキャパシタと、その上層に形成された上部配線層中に形成され前記MIMキャパシタの上部電極、下部電極に接続されたビアおよび銅配線を有するこの発明の一実施形態の断面構造を示す。これらの所定の配線層および上部配線層は図2に示された半導体基板上に形成された多層配線構造の一部を形成するものであり、以下、図1と共に、図2の断面図も参照してこの発明の一実施形態の半導体装置の構造を詳細に説明する。

【0017】

まず、図2において、半導体基板11の第1の領域に2個の素子分離絶縁膜12a、12bが形成される。これらの素子分離絶縁膜12a、12bの間の半導体基板11上には例えばSiO₂などのゲート絶縁膜13およびポリシリコンなどのゲート電極14が順次形成されている。また、素子分離絶縁膜12a、12bとゲート絶縁膜13との間の半導体基板11の表面領域中には2個のソース／ドレイン領域15a、15bが形成されている。これらのゲート絶縁膜13およびゲート電極14が形成された第1の領域とこの第1の領域とは別の後で説明する第2の領域を含んで半導体基板11の表面全体には第1の層間絶縁膜16が形成される。

【0018】

層間絶縁膜16には、一方のソース／ドレイン領域15aの上面が露出するようコンタクト孔17aが形成され、このコンタクト孔17aには金属、例えばタンゲステンが堆積されてコンタクト17が形成されている。これらの層間絶縁膜16およびコンタクト17の表面はCMP法などにより平坦化されている。

【0019】

上記第1の層間絶縁膜16およびコンタクト17上には第2の層間絶縁膜18が形成されている。この第2の層間絶縁膜18には配線溝が形成され、この配線溝にはコンタクト17と接続されるための例えば銅配線19が形成されている。この第2層間絶縁膜18の上方には銅配線19を形成している銅の拡散ストップ20が形成されている。この銅の拡散ストップ膜20上には第3の層間絶縁膜21が形成され、この層間絶縁膜21と拡散ストップ20には銅配線19上に至る

ビア22が形成され、ビア22の上部には層間絶縁膜21の表面部に銅配線23が形成される。

【0020】

そして、層間絶縁膜21の表面には銅配線23を形成する銅の拡散ストップ膜24が形成され、さらに層間絶縁膜40が形成されている。また、必要に応じて層間絶縁膜40には図示しないが、ビアあるいは配線が形成され、同様にして更に上層配線層が形成される。

【0021】

次に、図1を参照して図2に示したMOSトランジスタを含む多層配線構造と同時に半導体基板11上の別の第2の領域に形成される、キャパシタを有する配線層を含む多層配線構造を説明する。

【0022】

図1において、最下層の層間絶縁膜16は図2に示された層間絶縁膜16と同時に半導体基板11上に形成されるものである。図1では層間絶縁膜16の下の半導体基板11が省略して示されている。この層間絶縁膜16上に形成された層間絶縁膜18には図2の銅配線19とともに銅配線30が形成されている。層間絶縁膜18の上にも同様に銅の拡散ストップ膜20が形成されている。

【0023】

この銅の拡散ストップ膜20の上には、例えばTiN等の下部電極（金属膜）33と、例えばSiNやTaN等の誘電膜34と、TiN等の上部電極35とが順次積層されてなるMIMキャパシタが形成され、さらにエッチングストップ材としての例えばSiNの絶縁膜36が上部電極35の上に形成されている。

【0024】

これらの下部電極33、誘電膜34、上部電極35および絶縁膜36の積層構造は層間絶縁膜21により全体が覆われる。この層間絶縁膜21には拡散ストップ膜20を貫通して銅配線30に接続されるビア41が形成され、このビア41はこのビア41上部に形成された銅配線42に接続される。さらに、MIMキャパシタの上部電極35の上面には太いビア51が形成され、下部電極33の上面には太いビア52が形成されている。

【0025】

さらに、層間絶縁膜21上には、ビア51、52、および銅配線42に接して銅の拡散ストップ膜24が形成され、さらにその上に層間絶縁膜40が形成される。この層間絶縁膜40中には、銅の拡散ストップ膜24を貫通してビア51に接続されるビア60a、およびビア52に接続されるビア60bが形成される。これらのビア60a、60bは層間絶縁膜21中に形成されたビア51、52より細くなるように形成され、それらの上部には、銅配線61a、61bが形成されている。図2では図示されていないが、層間絶縁膜40の上には、図1に示したように、銅配線61a、61bの上面に接する銅の拡散ストップ膜63が形成されている。

【0026】

図1、図2を参照して、MOSトランジスタを含む多層配線構造中に、MIMキャパシタを有する半導体装置の構造を説明した。以下、図3(a)ないし図4(b)を参照して図1、図2に示す構造を有する半導体装置についての製造方法の一例を詳細に説明する。

【0027】

図3(a)において、半導体基板11において図1に示したMIMキャパシタが形成される領域を第2領域11aとし、図2に示したMOSトランジスタが形成される領域を第1領域11bとする。この説明においては、MOSトランジスタが形成される領域と、MIMキャパシタが形成される領域とは別の領域に形成されているが、同一領域内においてMOSトランジスタの上部にMIMキャパシタが形成されてもよい。

【0028】

まず、図3(a)において、第1領域11aの基板表面を浅くエッチングし、そこに絶縁物を埋め込んで例えばSTI(shallow trench isolation)用の素子分離絶縁膜12a、12bを形成する。その後、素子分離絶縁膜12a、12b表面を含む半導体基板11の全面にゲート酸化膜13を形成するための酸化膜を形成するとともに、ゲート電極14を形成するための例えばポリシリコン膜を前記酸化膜13の上の全面に堆積する。ポリシリコン膜の上にはフォトリソグラフィ

法によりゲート部を形成するためにレジストを堆積し、所定の露光マスクを用いてレジスト上にゲート酸化膜13、ゲート電極14を形成するためのパターンを露光する。この露光パターンを用いてエッチングを行い、素子分離絶縁膜12a、12bの間の半導体基板11の第1領域11a上にはゲート酸化膜13、ゲート電極14が形成される。

【0029】

次に、素子分離絶縁膜12a、12bとゲート酸化膜13、ゲート電極14との間の第1領域11aの半導体基板中に不純物イオン打込み法によりソース／ドレイン領域15a、15bが形成される。その後、半導体基板11の全面に第1の層間絶縁膜16が堆積される。この層間絶縁膜16は、CVD法により堆積され、例えばリン、或いはボロンを含んだSiO₂を材料として形成されるが、SiO₂以外にFGSその他の材料を用いて形成しても良く、またこれらの単一層構造を用いる代わりに複数の材料による積層構造としてもよい。

【0030】

この第1の層間絶縁膜16の表面はCMPを用いて平坦化した後、さらに、第1の層間絶縁膜16には、上記ゲート部の形成に用いたフォトリソグラフィ法により一方のソース／ドレイン領域15aに至るコンタクトホール17aを形成する。このコンタクトホール17aにはコンタクト材として例えばタンクスチタンなどが埋め込まれ、CMPにより平坦化されて、ソース／ドレイン領域15a上面と接続されたコンタクト17が形成される。

【0031】

その後、図3(b)に示すように、第1の層間絶縁膜16上に第2の層間絶縁膜18が同様にして形成される。この層間絶縁膜18の上面にはレジスト18aを堆積し、フォトリソグラフィ法によりこのレジスト18aをエッチングマスクとして用いて層間絶縁膜18に前記銅配線19、30を形成するための配線溝19b、30bを形成する。その後、上部一体に配線形成のための銅を堆積し、CMP法により層間絶縁膜18が露出するまで研磨して平坦化する。

【0032】

この結果、図3(c)に示すように、第1領域の層間絶縁膜18中に銅配線1

9が、第2領域の層間絶縁膜18には銅配線30が形成される。

【0033】

次に、図4(a)に示すように、層間絶縁膜18、銅配線19、30の上方に銅の拡散ストップ膜20を第1、第2の領域11a、11b全体に堆積する。この銅の拡散ストップ膜20は、例えばSiNにより形成される。この状態で、第2の領域11bに形成された銅の拡散ストップ膜20上に、MIMキャパシタの下部電極33を形成するための例えばTiNを堆積し、その後、誘電膜34用の例えばSiNまたはTaOを堆積し、その後に上部電極35となる例えばTiNを堆積し、最後にピア形成の際にエッチングストップ層36となる例えばSiNを堆積する。

【0034】

その後、リソグラフィ法にてエッチングストップ層36、上部電極35、誘電膜34および下部電極33をパターニングして形成する。まず、エッチングストップ層となるSiN層上の全体にレジスト層を堆積する。さらにこのレジスト層上部にマスクを置き、エッチングストップ層36に対応してレジスト層をパターニングしてレジストマスクを形成する。次いで、この形成されたレジストマスクを用いてエッチングストップ層36用のSiN膜および上部電極35用のTiN膜をエッチングし、エッチングストップ膜36および上部電極35を同時に形成する。

【0035】

次いで、上部電極35、エッチングストップ層36を覆うと共に、誘電膜34および下部電極33を形成するためのTiN膜およびSiN膜全体を覆うレジスト膜を堆積し、同様にリソグラフィ法により誘電膜34、及び下部電極33がエッチングにより図示のパターンに形成される。

【0036】

その後、第1の領域11aおよび、第2の領域11bに形成されたMIMキャパシタを覆う層間絶縁膜21が銅の拡散ストップ膜20上に形成される。

【0037】

ここで、図4(b)に示すように、第1の領域11aでは、銅配線19上に銅

の拡散ストップ膜20を介して層間絶縁膜21中に例えばデュアルダマシン法を用いてビアホール22a及びこのビアホール22a上部に配線溝23aが形成される。

【0038】

また、第2の領域11bでは、例えばデュアルダマシン法により、上部電極35上、および下部電極33上に夫々ビアホール51a、52aが形成されるとともに、銅配線30の上方に銅の拡散ストップ膜20を介してビアホール41aおよびこのビアホール41a上部に配線溝42aが形成される。

【0039】

その後、これらのビアホール22a、51a、52a、41aおよび配線溝23a、42a中には順次または一度に銅が堆積され、層間絶縁膜21表面をCMP法により平坦化することにより図4(b)に示された構造が形成される。

【0040】

次いで、第2領域11bには、図1に示したように、上記のようにして形成された層間絶縁膜21上に銅の拡散ストップ膜24を介して層間絶縁膜40が堆積される。その後、例えばデュアルダマシン法により層間絶縁膜40中には同様にしてビア60a、60bおよび銅配線61a、61bが形成される。ここで、ビア60aがビア51より細く形成され、同じく、ビア60bがビア52aより細く形成されるので、ビア51、52aに対するビア60a、60bの形成時の位置の誤差に大きな余裕を持たせることができる。

【0041】

その後、層間絶縁膜40の表面をCMP法により平坦化した後で、銅の拡散ストップ膜63が形成される。なお、図示していないが、図2の第1の領域11aにもこの拡散ストップ膜63が形成される。

【0042】

上記のような第1の実施形態の構造では、上部電極35、誘電膜34、下部電極33でなるMIMキャパシタが形成された同一配線層内に上部電極35に接続される埋め込み配線61aを形成しないので、埋め込み配線形成用の配線溝を形成する際のエッティングがMIMキャパシタまで及ぶことはなく、従って、この埋

め込み配線61aと上部電極35とがショートするおそれはない。又、ビア51がビア60aより太く形成されているので、両者の位置づれに対する余裕を大きく取ることができる。

【0043】

図1に示した第1の実施形態では、MIMキャパシタの下部電極33とコンタクトをとる銅配線61bが、下部電極33が形成されている層間絶縁膜21中に形成された配線層の上に形成された層間絶縁膜40中に形成された配線層に形成されているが、下部電極33と、この下部電極33とコンタクトをとる銅配線とを同じ層間絶縁膜の配線層に形成してもよい。なお、この構成によるとビア51、および52aを太く、ビア60a、および60bを細く形成されているため、製造時の誤差に対して余裕を持って設計を行うことが可能となる。

【0044】

図5は下部電極33と、下部電極33とコンタクトをとる配線層とが同じ配線層の層間絶縁膜21中に形成された、この発明の第2の実施形態を示したもので、図1の第1の実施形態に対応する第2の領域11bに形成されるMIMキャパシタを含んだ多層配線の構造の断面図である。尚、図5において、図1に示した実施の形態と同じ部分については同一符号を付してその詳細な説明を省略する。

【0045】

図5において、下部電極33に接続されるビア52bと、このビア52bの上方に銅配線53とを層間絶縁膜21中に例えばデュアルダマシン法により形成する。従って、図1の実施形態ではビア60bを介してビア52aに接続された、MIMキャパシタが形成されている配線層の上層の配線層に形成されている銅配線61bは、図5の実施の形態では下部電極33とは結線されていない。図5の実施形態では、上部電極35のみMIMキャパシタが形成された配線層の上に形成される配線層に形成される銅配線61aに細いビア60aを介して接続される。このように、MIMキャパシタ下部電極33と銅の拡散ストップ膜24間に所定の値以上の厚さの層間絶縁膜21が形成されている場合は、下部電極33と同じ層間絶縁膜41中にビア52bと配線部53とを形成することが可能である。上記のような第2の実施形態の構造では第1の実施形態と同様に、MIMキャパ

シタが形成された同一配線層内に上部電極35に接続される埋め込み配線61aを形成しないので配線61aと上部電極35とがショートするおそれはない。又、ビア51がビア60aより太く形成されているので、両者の位置づれに対する余裕を大きく取ることができる。

【0046】

また、上記第1、第2実施形態ではいずれも下部電極33とコンタクトをとる銅配線が下部電極33の上方に配置されているが、下部電極33とコンタクトをとる配線が下部電極33が形成されている配線層の下にある下層配線層中に配置されてもよい。図6はその一例を示す実施形態の断面図であり、下部電極33とコンタクトをとる配線が、下部電極33が形成されている配線層の直下の配線層に配置された第3の実施形態を示し、図1、図5と同様に第2の領域11bに形成されたMIMキャパシタを含んだ多層配線の構造の断面図である。尚、図6において、第1、第2の実施の形態と同じ部分は同一符号を用いてその詳細な説明を省略する。

【0047】

まず、図6において、層間絶縁膜18中に銅配線30を形成する。その後、銅配線30の直上の銅の拡散ストッパ膜20がエッチングされ、銅配線30の一部が露出する孔33aが形成される。従って、下部電極33を形成するために電極材料が銅の拡散ストッパ膜20上に形成されるとき、この拡散ストッパ膜20の孔33aを介して上記銅配線30と接続される。

【0048】

MIMキャパシタが形成された後で、層間絶縁膜21にビア51を形成する時に同時に、例えばデュアルダマシン法によりこの銅配線30に接続されるビア41及びこのビア41に接続された銅配線42を層間絶縁膜21中に形成する。従って、図5の実施形態に示された下部電極33に接続されたビア52bと銅配線53とはこの図6の実施形態では用いられない。他の構成は図5の実施形態と同じである。

【0049】

上記の第3の実施形態のような構造でも、MIMキャパシタが形成された同一

配線層内に上部電極35に接続される埋め込み配線61aを形成しないので配線61aと上部電極35とがショートするおそれはない。又、ビア51がビア60aより太く形成されているので、両者の位置づれに対する余裕を大きく取ることができます。

【0050】

この第3の実施形態の構成によると、下部電極33は下部電極下方の銅配線30と接続され、その後、銅配線30はビア41を介し銅配線42と接続されている。この場合はプロセスまたは構成などの何らかの都合で下部電極上にビア、またはビア並びに銅配線を形成できないときに有効である。

【0051】

【発明の効果】

以上詳述したようにこの発明によれば、所定の配線層中に形成される例えばMIMキャパシタの上部電極と、この上部電極とのコンタクトをとる銅などの配線との接続を行うために形成される配線溝の過エッチング等の原因でMIM等のキャパシタがショートする問題や、このキャパシタ上のビア／配線形成時のビア底の過エッチングによる不良を防ぐことができ、高い信頼性を持つ、多層配線層内に形成されたキャパシタを有する半導体装置を提供することが出来る。

【図面の簡単な説明】

【図1】

この発明の一実施形態の、多層配線層に形成されたMIMキャパシタを含んだ半導体装置の構造を示す断面図。

【図2】

図1のMIMキャパシタと同じ半導体基板の他の領域に形成されたMOS型素子を含む多層配線層部分の断面図。

【図3】

図1および図2に示した半導体装置の製造方法の異なる工程における構造を示す断面図。

【図4】

図3に続く半導体装置の製造方法の異なる工程における構造を示す断面図。

【図5】

この発明の他の実施形態の半導体装置のMIMキャパシタを含む多層配線構造の断面図。

【図6】

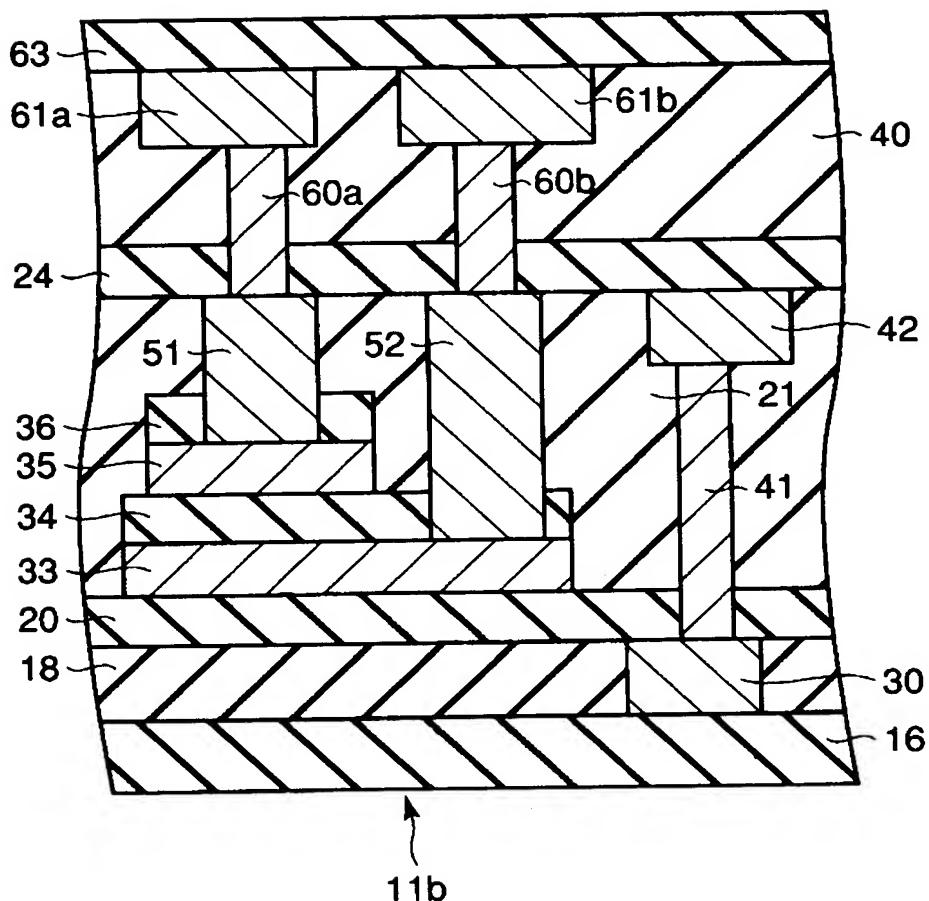
この発明の更に他の実施形態の半導体装置のMIMキャパシタを含む多層配線構造の断面図。

【符号の説明】

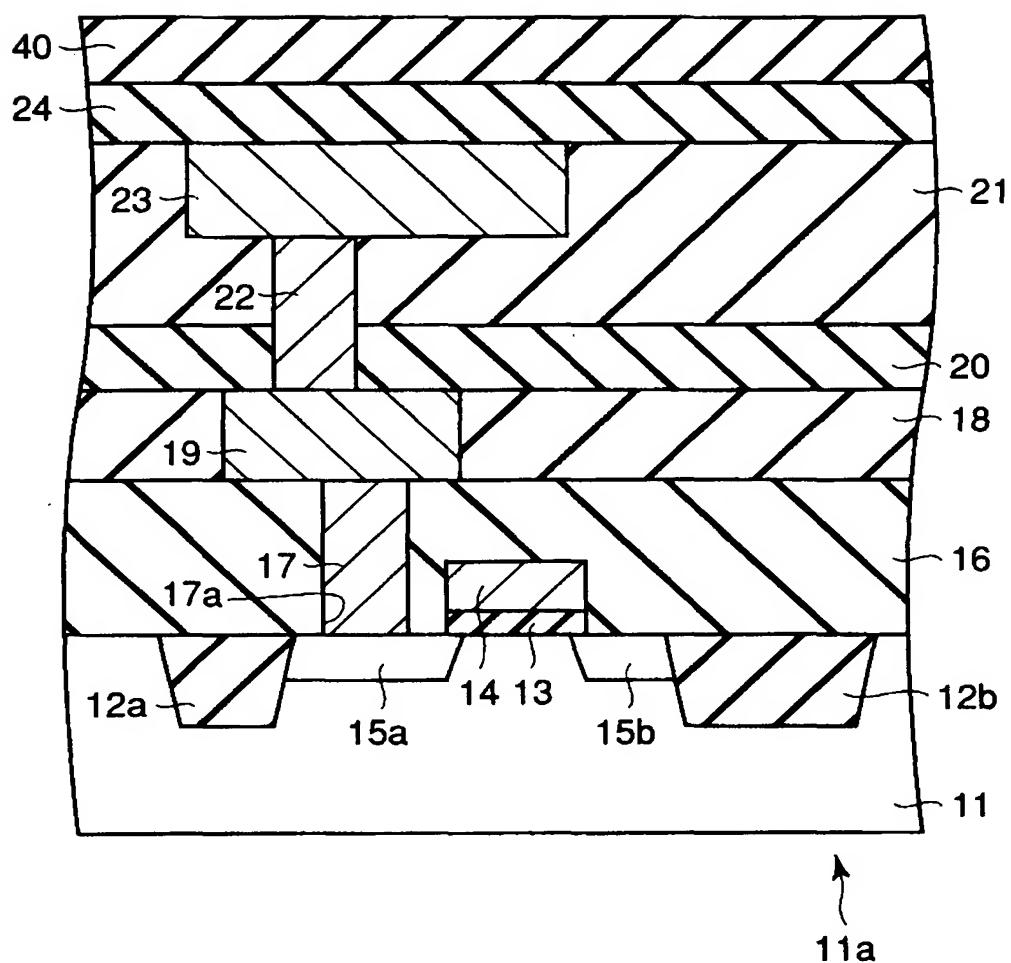
- 16、18、21、40…層間絶縁膜、
- 20、24、63…銅の拡散ストップ膜、
- 30、42、61a、61b…銅配線、
- 33…下部電極、
- 34…誘電膜、
- 35…上部電極、
- 36…エッチングストップ膜、
- 41、51、52a、60a、60b…ビア

【書類名】 図面

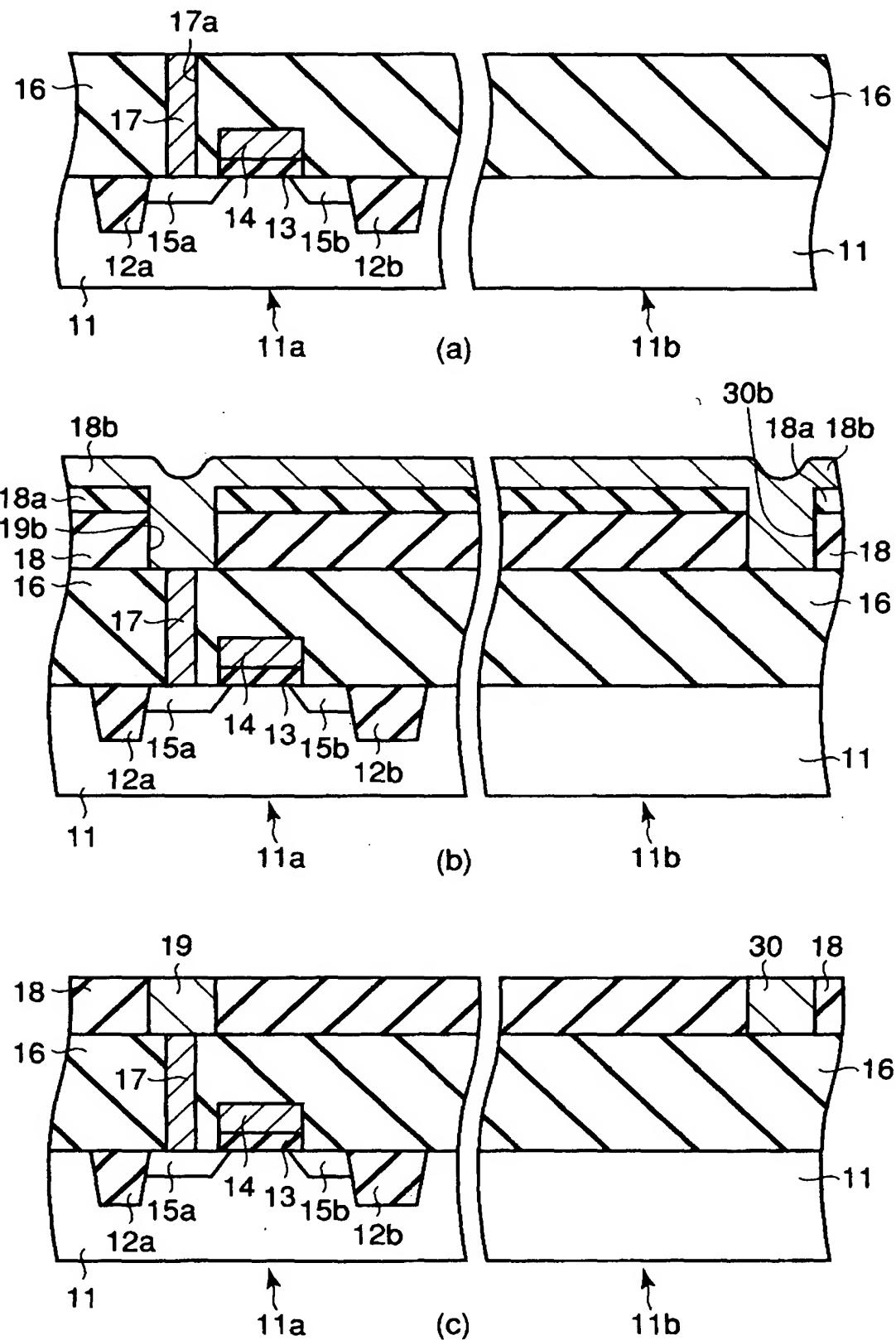
【図1】



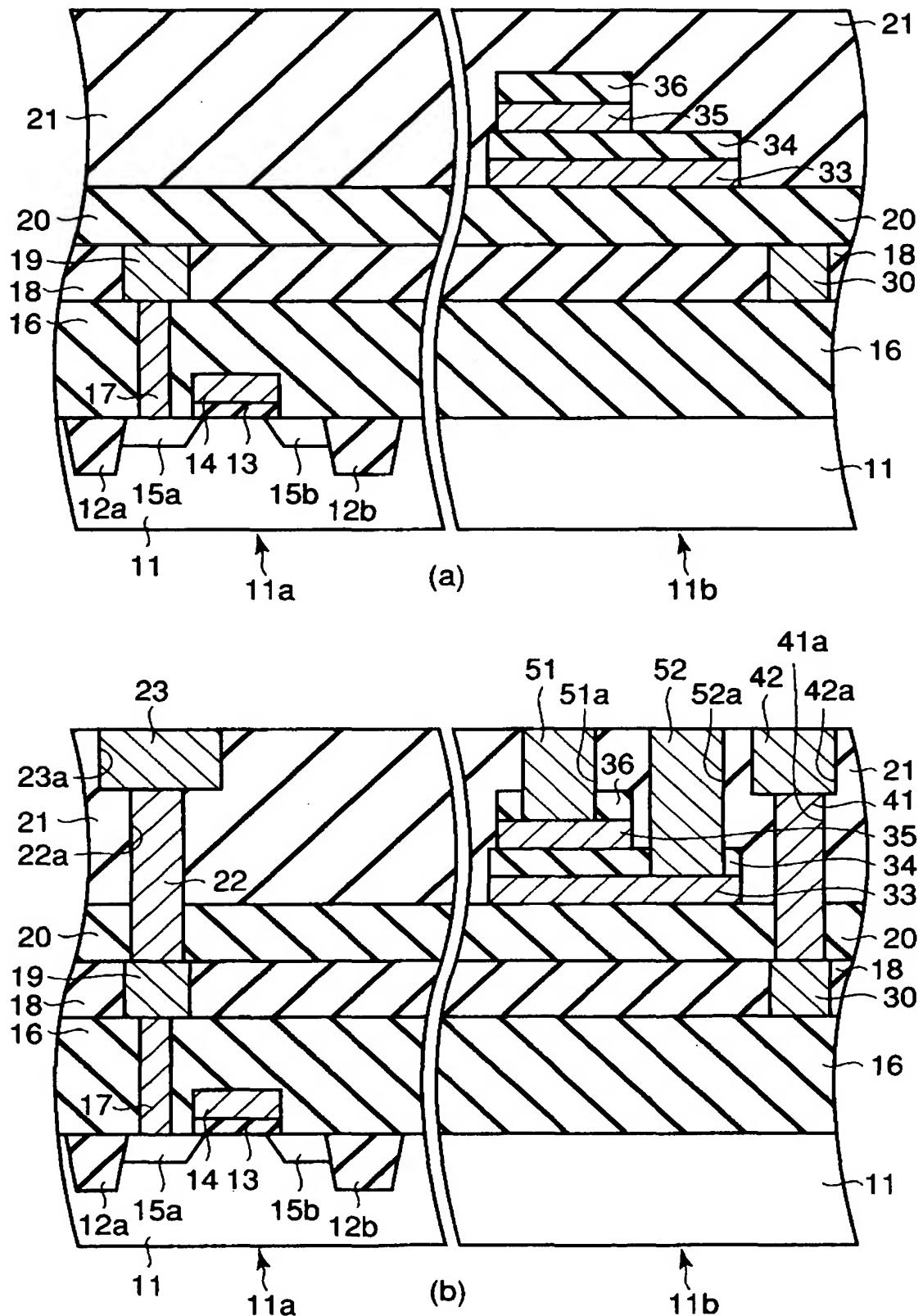
【図2】



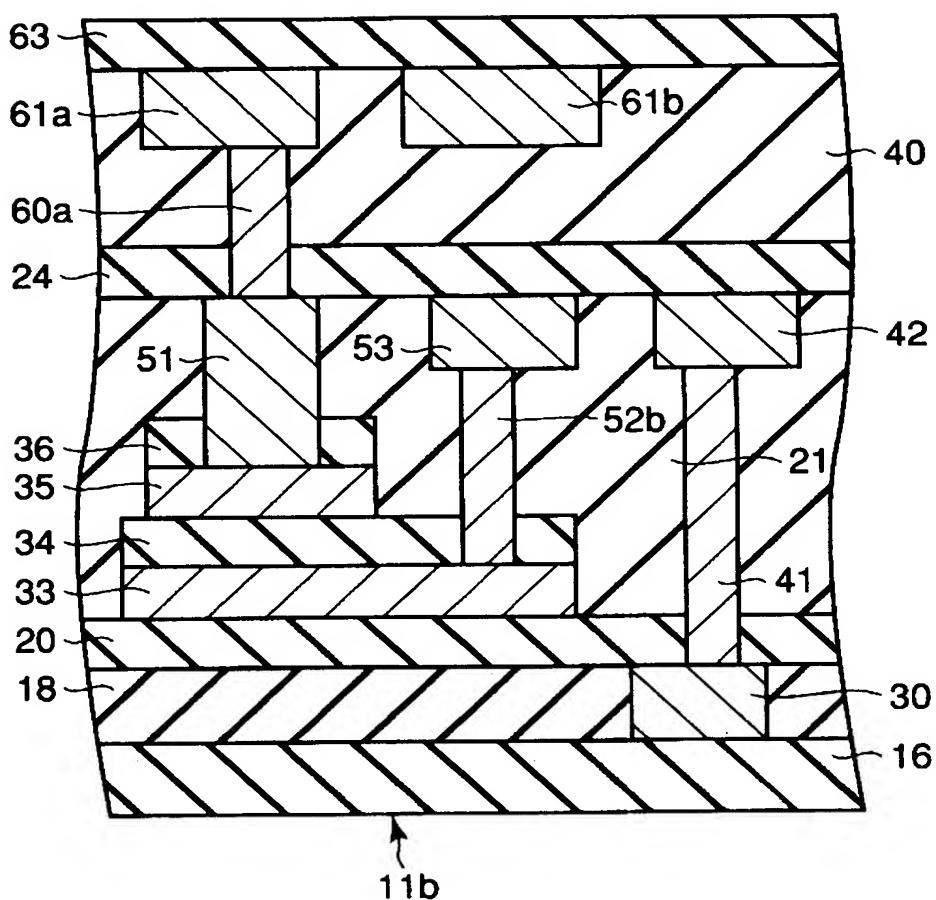
【図3】



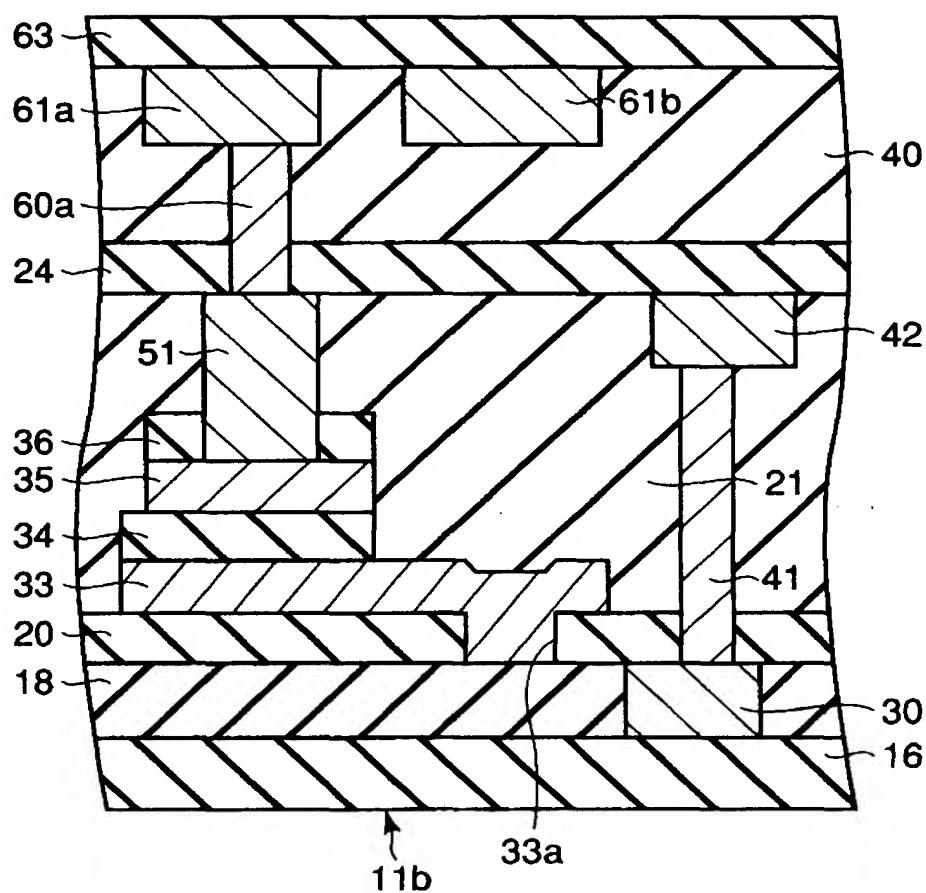
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 キャパシタの上部電極と層間絶縁膜中に埋め込み形成された配線とキャパシタがショートする問題やキャパシタ上のビア／配線形成時にビア底の過エッチングを防ぐことができ、高い信頼性を持つ、多層配線層内に形成されたキャパシタを有す半導体装置を提供する。

【解決手段】 所定の配線層中に形成されたキャパシタの上部電極35上面に太いビア51が形成され、このビア51上方には銅の拡散ストップ膜を介し、前記所定の配線層の上部に形成された配線層に配置され太いビア51より細いビア60aおよび銅配線61aが順次形成される。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝